

PCT/KR 03/02677  
RO/KR 06.12.2003

REC'D 23 DEC 2003

WIPO PCT

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0003890  
Application Number PATENT-2003-0003890

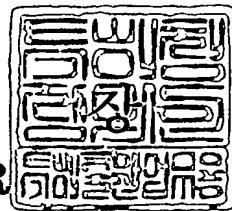
출원년월일 : 2003년 01월 21일  
Date of Application JAN 21, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 02 월 06 일

특허청

COMMISSIONER



**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.01.21		
【발명의 명칭】	디스플레이 픽셀 및 이의 제조 방법		
【발명의 영문명칭】	DISPLAY PIXEL AND METHOD FOR FABRICATING THEREOF		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	박영우		
【대리인코드】	9-1998-000230-2		
【포괄위임등록번호】	1999-030203-7		
【발명자】			
【성명의 국문표기】	이청		
【성명의 영문표기】	YI, Chung		
【주민등록번호】	661222-1029449		
【우편번호】	449-914		
【주소】	경기도 용인시 구성면 상하리 쌍용아파트 315-702호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	최필모		
【성명의 영문표기】	CHOI, Pil Mo		
【주민등록번호】	710401-1696428		
【우편번호】	151-850		
【주소】	서울특별시 관악구 봉천11동 1651-3번지 103호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 우 (인) <span style="float: right;">박영</span>		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	10	면	10,000 원

1020030003890

출력 일자: 2003/2/7

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	39,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	



1020030003890

출력 일자: 2003/2/7

### 【요약서】

#### 【요약】

제조 공정수를 감소시킨 디스플레이 팩셀 및 이의 제조 방법이 개시되어 있다. 채널층, 채널층을 절연시키는 제 1 절연막, 제 1 절연막에 형성된 제 1 신호선, 제 1 신호선을 절연시키는 제 2 절연막, 상기 제 2 절연막에 형성된 콘택홀, 콘택홀에 연결된 제 2 신호선 및 제 3 신호선, 제 2 절연막에 제 1 신호선 및 제 2 신호선과 동일 레이어에 형성된 인듐 아연 산화 물질로 화소 전극을 형성하여 5 매의 패턴 마스크로 디스플레이 팩셀을 형성할 수 있다. 이로써, 디스플레이 팩셀을 제조하는 공정을 단축할 수 있고, 이에 따라 디스플레이 팩셀의 제조 시간을 크게 단축시킬 수 있는 장점을 갖는다.

#### 【대표도】

도 2

#### 【색인어】

액정표시장치

**【명세서】****【발명의 명칭】**

디스플레이 퍽셀 및 이의 제조 방법{DISPLAY PIXEL AND METHOD FOR FABRICATING THEREOF}

**【도면의 간단한 설명】**

도 1은 종래 액정표시장치의 박막 트랜지스터의 구조를 도시한 단면도이다.

도 2는 본 발명의 제 1 실시예에 의한 디스플레이 퍽셀을 도시한 평면도이다.

도 3은 도 2의 A-A 단면도이다.

도 4는 본 발명의 제 2 실시예에 의해 투명 기판에 채널충을 형성한 것을 도시한 공정도이다.

도 5는 도 4의 B-B 단면도이다.

도 6은 본 실시예에 의하여 채널충에 LDD 구조 및 제 1 신호선이 형성된 것을 도시한 공정도이다.

도 7은 도 6의 C-C 단면도이다.

도 8은 본 실시예에 의하여 제 1 신호선에 의하여 덮인 채널충에 불순물을 고농도 이온 주입한 것을 도시한 공정도이다.

도 9는 본 실시예에 의하여 제 1 신호선에 의하여 덮인 채널충에 불순물을 저농도 이온 주입한 것을 도시한 공정도이다.

도 10은 본 실시예에 의하여 각 고농도 이온 주입 영역에 콘택홀이 형성된 것을 도시한 공정도이다.

도 11은 도 10의 D-D 단면도이다.

도 12는 본 실시예에 의하여 제 1 콘택홀에 제 2 신호선 및 제 2 콘택홀에 제 3 신호선이 형성된 것을 도시한 공정도이다.

도 13은 도 12의 E-E 단면도이다.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 디스플레이 팩셀 및 이의 제조 방법에 관한 것으로, 특히, 제조 공정을 감소시킨 디스플레이 팩셀 및 이의 제조 방법에 관한 것이다.

<15> 일반적으로, 액정표시장치는 액정을 이용하여 문자, 영상 및 동영상을 디스플레이하는 평판 표시장치의 하나이다. 액정은 배열에 의하여 광의 투과율을 변경시키고, 액정은 전계에 의하여 배열이 변경된다.

<16> 액정표시장치는 광투과도를 미소 면적 단위로 변경하기 위하여 화소 전극들 및 공통 전극을 갖는다. 화소 전극들은 제 1 투명 기판에 매트릭스 형태로 배치되고, 공통 전극은 제 2 투명 기판에 화소 전극들과 마주보도록 형성된다.

<17> 공통 전극에는 레퍼런스 전압이 인가되며, 화소 전극에는 영상 신호에 상응하는 화소 전압이 인가된다.

<18> 화소 전압은 화소 전극마다 형성된 박막 트랜지스터(Thin Film Transistor, TFT)에 의하여 수행된다.

<19> 박막 트랜지스터는 매우 작은 크기 및 매우 복잡한 구성을 갖는다.

<20> 도 1은 종래 액정표시장치의 박막 트랜지스터의 구조를 도시한 단면도이다.

<21> 도 1을 참조하면, 종래 박막 트랜지스터(10)는 게이트 전극(1), 제 1 절연막(2), 채널층(3), 소오스 전극(4), 제 2 절연막(6), 화소 전극(8)에 연결된 드레인 전극(5)을 갖는다.

<22> 구체적으로, 투명 기판(9)에는 게이트 전극(1)이 형성된다. 게이트 전극(1)에는 구동 시그널을 인가하는 게이트 라인(미도시)이 연결되어 있다.

<23> 제 1 절연막(2)은 게이트 전극(1) 및 게이트 라인을 절연시키기 위해 투명 기판(9)의 전면적에 형성된다.

<24> 채널층(3)은 제 1 절연막(2)의 상면에 형성되며, 게이트 전극(1)의 상부에 배치된다. 채널층(3)은 아몰퍼스 실리콘 물질로 이루어진 아몰퍼스 실리콘 채널층(3a) 및  $n^+$  아몰퍼스 실리콘 물질로 이루어진  $n^+$  아몰퍼스 실리콘 채널층(3b)으로 구성된다.

<25>  $n^+$  아몰퍼스 실리콘 채널층(3b)은 아몰퍼스 실리콘 채널층(3a)의 상면에 분리되어 형성된다.

<26> 소오스 전극(4)은 2 개로 구성된  $n^+$  아몰퍼스 실리콘 채널층(3b) 중 어느 하나에 연결되고, 드레인 전극(5)은 2 개로 구성된  $n^+$  아몰퍼스 실리콘 채널층(3b)의 나머지 하나에 연결된다.

<27> 제 2 절연막(6)은 소오스 전극(4) 및 드레인 전극(5)이 덮이도록 투명 기판(9)에는 전면적에 걸쳐 형성된다. 제 2 절연막(6)에는 드레인 전극(5)의 일부가 개구되도록 콘택홀(6a)이 형성된다.

<28> 화소 전극(8)은 제 2 절연막(6)의 상면에 형성되며, 콘택홀(6a)을 통해 드레인 전극(5)과 연결된다.

<29> 그러나, 이와 같은 종래 액정표시장치의 박막 트랜지스터(10)는 드레인 전극(5)과 화소 전극(8) 사이에 콘택홀(6a)을 갖는 제 2 절연막(6)을 형성해야 하기 때문에 박막 트랜지스터(10)의 제조 공정수가 증가하고 구조가 복잡해지는 문제점을 갖는다.

#### 【발명이 이루고자 하는 기술적 과제】

<30> 따라서, 본 발명은 이와 같은 종래 문제점을 감안한 것으로써, 본 발명의 제 1 목적은 보다 콤팩트한 제조 공정을 갖는 디스플레이 팩셀을 제공함에 있다.

<31> 또한, 본 발명의 제 2 목적은 보다 콤팩트한 구조를 갖는 디스플레이 팩셀의 제조 방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<32> 이와 같은 본 발명의 제 1 목적을 구현하기 위하여 본 발명은 제 1 전압에 의하여 형성된 채널을 통해 전자를 이동시키기 위한 채널층, 채널층에 제 1 전압을 인가하기 위한 제 1 신호선, 제 1 신호선을 절연시키며, 외부에 대하여 채널층이 노출시키기 위한 제 1 콘택홀 및 제 2 콘택홀이 형성된 층간 절연막, 층간 절연막에 배치되며, 제 1 콘택홀에 콘택 되어 제 2 전압이 인가되는 제 2 신호선, 제 2 신호선과 동일 레이어에 배치되며, 제 2 콘택홀에 콘택 되어 제 2 전압이 출력되는 제 3 신호선 및 제 3 신호선과 동일 레이어에 배치되며, 제 3 신호선에 콘택 된 화소 전극을 포함하는 디스플레이 팩셀을 제공한다.

<33> 또한, 본 발명의 제 2 목적을 구현하기 위하여 본 발명은 제 1 패턴 마스크를 사용하여 투명 기판에 전계에 의하여 채널이 형성되는 채널층을 형성하는 단계, 제 2 패턴 마스크를 사용하여 채널층에 전계를 인가하는 제 1 신호선을 형성하는 단계, 제 3 패턴 마스크를 사용하여 제 1 신호선을 절연시키는 충간 절연막에 채널층의 일부가 노출되도록 하는 제 1 콘택홀 및 제 2 콘택홀을 형성하는 단계, 제 4 패턴 마스크를 사용하여 충간 절연막에 제 1 콘택홀에 콘택 된 제 2 신호선, 제 2 콘택홀에 콘택 된 제 3 신호선을 형성하는 단계 및 제 5 패턴 마스크를 사용하여 충간 절연막에 제 3 신호선에 콘택 된 화소 전극을 형성하는 단계를 포함하는 디스플레이 팩셀의 제조 방법을 제공한다.

<34> 본 발명에 의하면, 액정표시장치를 작동시키기 위한 디스플레이 팩셀의 구조 및 제조 과정을 단순화시켜 액정표시장치의 제조기간을 단축시킨다.

<35> 이하, 첨부한 도면을 참조하여 본 발명의 제 1 실시예에 의한 디스플레이 팩셀을 도시한 개념도이다.

<36> 디스플레이 팩셀의 실시예

~~~  
도 2는 본 발명의 제 1 실시예에 의한 디스플레이 팩셀을 도시한 평면도이다. 도 3은 도 2의 A-A 단면도이다.

<38> 도 2 또는 도 3을 참조하면, 디스플레이 팩셀(110)은 다시 제 1 투명 기판(111), 채널층(112), 제 1 절연막(113), 제 1 신호선(114), 제 2 절연막(115), 제 2 신호선(116), 제 3 신호선(117) 및 화소 전극(118)으로 구성된다.

<39> 제 1 투명 기판(111)은 바람직하게 광투과율이 뛰어난 투명한 유리 기판이다.

<40> 채널충(112)은 제 1 투명 기판(111)에 형성된다. 채널충(112)은 다결정 실리콘 물질로 이루어지며 사각형 형상을 갖는 박막이다. 채널충(112)은 폴리 실리콘 물질로 이루어지며, 폴리 실리콘은 아몰퍼스 실리콘 박막을 레이저 범 등으로 결정화하여 제조된다.

<41> 채널충(112)은 불순물이 제 1 도우즈량으로 이온 주입된 2 개의 고농도 이온 도핑 영역(112a, 112b) 및 불순물이 제 1 도우즈량보다 작은 제 2 도우즈량으로 이온 주입된 저농도 이온 도핑 영역(112c, 112d)으로 구성된다.

<42> 고농도 이온 도핑 영역(112a, 112b)은 채널충(112)의 양쪽 에지로부터 안쪽으로 제 1 길이(L1) 이격된 곳까지 형성되며, 저농도 이온 도핑 영역(112c, 112d)은 고농도 이온 도핑 영역(112a, 112b)으로부터 제 2 길이(L2) 이격된 곳까지 형성된다. 저농도 이온 도핑 영역(112c, 112d)의 사이에는 제 3 길이(L3)로 불순물이 이온 도핑되지 않은 폴리 실리콘 영역(112e)이 형성된다.

<43> 제 1 절연막(113)은 채널충(112)이 덮이도록 제 1 투명 기판(111)에 형성된다. 제 1 절연막(113)에는 채널충(112)의 각 고농도 이온 도핑 영역(112a, 112b)이 외부에 대하여 노출되도록 하는 콘택홀(113a, 113b)을 갖는다.

<44> 제 1 신호선(114)은 제 1 절연막(113)의 상면에 형성되며, 제 1 신호선(114)의 일부로는 제 1 전극(114a)이 연장된다. 제 1 전극(114a)은 제 1 절연막(113)의 상면 중 폴리 실리콘 영역(112e)에 형성된다. 이때, 제 1 전극(114a)의 폭은 제 3 길이(L3)와 동일하다.

<45> 제 2 절연막(115)은 제 1 신호선(114)이 덮이도록 제 1 투명 기판(111)에 형성되며, 제 2 절연막(115)에는 고농도 이온 도핑 영역(112a, 112b)이 외부에 대하여 노출되도록 한 쌍의 콘택홀(115a, 115b)이 형성된다.

<46> 제 2 절연막(115)의 상면에는 다시 제 2 신호선(116) 및 제 3 신호선(117)이 형성된다.

<47> 제 2 신호선(116)의 일부는 제 1 콘택홀(115b)을 매개로 고농도 이온 도핑 영역(112a)에 콘택 된다. 제 3 신호선(117)의 일부는 제 2 콘택홀(115b)을 매개로 도시된 고농도 이온 도핑 영역(112a)에 콘택 된다.

<48> 화소 전극(118)은 제 2 절연막(115)의 상면에 형성되며, 제 3 신호선(117)과 연결된다. 이때, 화소 전극(118)과 제 3 신호선(117)은 제 2 절연막(115)에 함께 형성된다. 화소 전극(117)은 투명하면서 도전성인 인듐 아연 산화막(Indium Zinc Oxide, IZO)으로 구성된다.

<49> 화소 전극(118)을 인듐 아연 산화막으로 사용하는 것은 인듐 아연 산화막을 패터닝하는 인듐 아연 산화막 에체트는 제 2 신호선(116) 및 제 3 신호선(117)을 식각하지 않기 때문이다. 반대로, 화소 전극(118)으로 인듐 주석 산화막(Indium Tin Oxide)을 사용할 경우, 인듐 주석 산화막을 패터닝하는 인듐 주석 산화막 에체트가 제 2 신호선(116) 또는 제 3 신호선(117)을 식각하여 제 2 신호선(116) 또는 제 3 신호선(117)이 단선 되거나 저항이 높아질 수 있다.

<50> 이하, 본 발명의 제 2 실시예에 의한 디스플레이 퍽셀의 제조 방법을 첨부된 도면을 참조하여 설명하기로 한다.

<51> 디스플레이 팩셀의 제조 방법 실시예

<52> 도 4는 본 발명의 제 2 실시예에 의해 투명 기판에 채널총을 형성한 것을 도시한 공정도이다. 도 5는 도 4의 B-B 단면도이다.

<53> 도 4 또는 도 5를 참조하면, 투명 기판(111)에는 아몰퍼스 실리콘 박막으로 이루어진 아몰퍼스 실리콘 박막이 증착되고, 아몰퍼스 실리콘 박막은 레이저 빔에 의하여 결정화되어 폴리 실리콘 박막이 제조된다. 이어서, 제 1 패턴 마스크를 사용하여 폴리 실리콘 박막은 패터닝되어 투명 기판(111)에는 채널총(112)이 형성된다. 채널총(112)은 바람직하게 박막 형태의 사각형이다.

<54> 이어서, 투명 기판(111)에 채널총(112)이 형성된 상태에서 채널총(112)이 덮이도록 투명 기판(111)에는 제 1 절연막(113)이 형성된다.

<55> 도 6은 본 실시예에 의하여 채널총에 LDD 구조 및 제 1 신호선이 형성된 것을 도시한 공정도이다. 도 7은 도 6의 C-C 단면도이다.

<56> 도 6 또는 도 7을 참조하면, 제 1 절연막(113)의 상면에는 전면적에 걸쳐 게이트 메탈 박막(114b)이 증착된다. 게이트 메탈 박막(114b)은 패터닝되어 제 1 신호선이 된다.

<57> 이어서, 게이트 메탈 박막(114b)의 상면에는 전면적에 걸쳐 내열성 포토레지스트 박막이 도포된다. 내열성 포토레지스트 박막은 제 2 패턴 마스크에 의하여 패터닝되어 도 6에 도시된 바와 같이 제 1 신호선이 형성될 영역 K가 덮이도록 이온 마스크(114c)가 형성된다.

<58> 이어서, 게이트 메탈 박막(114b)은 에천트 또는 식각 가스에 의하여 패터닝되어 제 1 신호선(114)이 제조된다. 이때, 이온 마스크(114c)의 하부에 언더-컷이 형성되도록 식각 된다. 이때, 인위적으로 언더-컷을 형성하는 것은 채널층(112)에 불순물을 서로 다른 농도로 주입하기 위함이다.

<59> 도 8은 본 실시예에 의하여 제 1 신호선에 의하여 덮인 채널층에 불순물을 고농도 이온 주입한 것을 도시한 공정도이다.

<60> 도 8을 참조하면, 채널층(112) 중 이온 마스크(114c)에 의하여 가려지지 않은 부분에는 불순물이 고농도 이온 주입되고, 이온 마스크(114c)에 의하여 가려진 부분에는 이온 마스크(114c)에 불순물이 고농도 이온 주입된다.

<61> 도 9는 본 실시예에 의하여 제 1 신호선에 의하여 덮인 채널층에 불순물을 저농도 이온 주입한 것을 도시한 공정도이다.

<62> 도 9를 참조하면, 이온 마스크(114c)는 애싱 공정 등에 의하여 스트립 되고, 채널층(112)의 전면적에 걸쳐 불순물이 저농도 이온 주입된다. 채널층(112)에 저농도 이온 주입된 영역에 도면부호 112c, 112d를 부여하기로 한다. 따라서, 채널층(112)에는 저농도 이온 주입 영역(112c, 112d) 및 고농도 이온 주입 영역(112a, 112b)이 형성되고, 제 1 신호선(114)을 기준으로 저농도 이온·주입 영역(112c, 112d)의 바깥쪽에는 고농도 이온 주입 영역(112a, 112b)이 형성된다.

<63> 도 10은 본 실시예에 의하여 각 고농도 이온 주입 영역에 콘택홀이 형성된 것을 도시한 공정도이다. 도 11은 도 10의 D-D 단면도이다.

<64> 도 10 또는 도 11을 참조하면, 투명 기판(111)에는 제 1 신호선(114)이 덮이도록 전면적에 걸쳐 제 2 절연막(115)이 형성된다.

<65> 제 2 절연막(115)이 형성된 후, 제 2 절연막(115)에는 제 3 패턴 마스크에 의하여 고농도 이온 주입 영역(112a, 112b)을 개구시키는 한 쌍의 제 1 콘택홀(115a) 및 제 2 콘택홀(115b)이 형성된다. 제 1 콘택홀(115a) 및 제 2 콘택홀(115b)은 제 1 신호선(114)의 양쪽에 형성된다.

<66> 제 2 절연막(115)에 제 1 콘택홀(115a) 및 제 2 콘택홀(115b)을 형성하는 도중 제 2 절연막(115)의 하부에 배치된 제 1 절연막(113)에도 콘택홀(113a, 113b)이 함께 형성된다.

<67> 도 12는 본 실시예에 의하여 제 1 콘택홀에 제 2 신호선 및 제 2 콘택홀에 제 3 신호선이 형성된 것을 도시한 공정도이다. 도 13은 도 12의 E-E 단면도이다.

<68> 도 12 또는 도 13을 참조하면, 제 2 절연막(115)의 상면에는 메탈 박막이 증착된다. 메탈 박막은 제 4 패턴 마스크에 의하여 패터닝되어 제 2 신호선(116) 및 제 3 신호선(117)이 형성된다.

<69> 제 2 신호선(116)은 제 1 신호선(114)과 수직 방향으로 형성되고 일부가 제 1 콘택홀(115a)에 콘택 된다.

<70> 이때, 제 3 신호선(117)은 제 2 신호선(116)을 형성하는 과정에서 함께 형성된다. 제 3 신호선(117)은 제 1 신호선(114)과 평행한 방향으로 형성되며, 제 3 신호선(117)은 제 1 콘택홀(115b)을 매개로 채널총(112)의 고농도 이온 도핑 영역(112b)에 콘택 된다.

<71> 도 1 또는 도 2를 다시 참조하면, 제 2 절연막(115)의 상면에는 전면적에 걸쳐 투명한 인듐 아연 산화 물질로 인듐 아연 산화막이 형성된다. 이어서, 인듐 아연 산화막은 제 5 패턴 마스크 및 인듐 아연 산화막 식각액에 의하여 패터닝된다.

<72> 이때, 인듐 아연 산화막 식각액은 제 2 신호선(116), 제 3 신호선(117)을 식각하지 못한다. 따라서, 인듐 아연 산화막 식각액으로 인듐 아연 산화막을 식각 할 때 식각 시간이 정확하지 않거나 인듐 아연 산화막의 두께가 균일하지 않음으로서 인듐 아연 산화막 식각액에 제 2 신호선(116), 제 3 신호선(117)이 노출되어도 이들은 식각 되지 않게 된다.

<73> 따라서, 인듐 아연 산화 물질로 화소 전극(118)을 형성함으로써 제 2 신호선(116) 또는 제 3 신호선(117)을 보호하기 위한 보호층 및 보호층에 콘택홀을 형성하는데 필요한 부수적인 공정을 필요로 하지 않음에 따라 디스플레이 팩셀을 제조하는데 필요한 공정을 크게 단축시킬 수 있다.

#### 【발명의 효과】

<74> 이상에서 상세하게 설명한 바에 의하면, 액정표시장치로부터 디스플레이를 수행하는데 필요한 전원을 인가하는 디스플레이 팩셀을 제조하는데 필요한 공정수를 크게 단축시켜 액정표시장치를 제조하는데 필요한 제조 시간 및 제조 코스트를 크게 감소시키는 효과를 갖는다.

<75> 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나

1020030003890

출력 일자: 2003/2/7

지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

제 1 전압에 의하여 형성된 채널을 통해 전자를 이동시키기 위한 채널층;

상기 채널층에 상기 제 1 전압을 인가하기 위한 제 1 신호선;

상기 제 1 신호선을 절연시키며, 외부에 대하여 상기 채널층이 노출시키기 위한 제 1 콘택홀 및 제 2 콘택홀이 형성된 층간 절연막;

상기 층간 절연막에 배치되며, 상기 제 1 콘택홀에 콘택 되어 제 2 전압이 인가되는 제 2 신호선;

상기 제 2 신호선과 동일 레이어에 배치되며, 상기 제 2 콘택홀에 콘택 되어 상기 제 2 전압이 출력되는 제 3 신호선; 및

상기 제 3 신호선과 동일 레이어에 배치되며, 상기 제 3 신호선에 콘택 된 화소 전극을 포함하는 디스플레이 팩셀.

**【청구항 2】**

제 1 항에 있어서, 상기 화소 전극은 인듐 아연 산화막(Indium Zinc Oxide)인 것을 특징으로 하는 디스플레이 팩셀.

**【청구항 3】**

제 1 항에 있어서, 상기 제 2 신호선 및 상기 제 3 신호선과 콘택 된 상기 채널층에는 불순물이 고농도 이온 도핑된 영역이 형성된 것을 특징으로 하는 디스플레이 팩셀.

**【청구항 4】**

제 3 항에 있어서, 상기 고농도 이온 도핑 영역과 인접한 곳에는 저농도 이온 도핑 영역이 형성된 것을 특징으로 하는 디스플레이 팩셀.

**【청구항 5】**

제 1 항에 있어서, 상기 채널층 및 상기 제 1 신호선은 절연막에 의하여 절연되는 것을 특징으로 하는 디스플레이 팩셀.

**【청구항 6】**

제 1 패턴 마스크를 사용하여 투명 기판에 전계에 의하여 채널이 형성되는 채널층을 형성하는 단계;

제 2 패턴 마스크를 사용하여 상기 채널층에 상기 전계를 인가하는 제 1 신호선을 형성하는 단계;

제 3 패턴 마스크를 사용하여 상기 제 1 신호선을 절연시키는 층간 절연막에 상기 채널층의 일부가 노출되도록 하는 제 1 콘택홀 및 제 2 콘택홀을 형성하는 단계;

제 4 패턴 마스크를 사용하여 상기 층간 절연막에 상기 제 1 콘택홀에 콘택 된 제 2 신호선, 상기 제 2 콘택홀에 콘택 된 제 3 신호선을 형성하는 단계; 및

제 5 패턴 마스크를 사용하여 상기 층간 절연막에 상기 제 3 신호선에 콘택 된 화소 전극을 형성하는 단계를 포함하는 디스플레이 팩셀의 제조 방법.

**【청구항 7】**

제 6 항에 있어서, 상기 채널층은

상기 투명 기판에 아몰퍼스 실리콘 박막층을 형성하는 단계;

상기 아몰퍼스 실리콘 박막층을 폴리 실리콘 박막층으로 변경하는 단계; 및  
상기 폴리 실리콘 박막층을 상기 제 1 패턴 마스크로 패터닝하는 단계에 의해 형성  
되는 것을 특징으로 하는 디스플레이 팩셀의 제조 방법.

#### 【청구항 8】

제 7 항에 있어서, 상기 아몰퍼스 실리콘 박막층은 상기 아몰퍼스 실리콘 박막층에  
레이저 빔을 주사하여 폴리 실리콘 박막층으로 변경하는 것을 특징으로 하는 디스플레이  
팩셀의 제조 방법.

#### 【청구항 9】

제 6 항에 있어서, 상기 제 1 신호선을 형성하기 전에는 상기 채널층을 절연시키기  
위해 절연막을 형성하는 것을 특징으로 하는 디스플레이 팩셀의 제조 방법.

#### 【청구항 10】

제 9 항에 있어서, 상기 제 1 신호선은  
상기 절연막의 상면에 금속 박막을 형성하는 단계, 상기 금속 박막 중 상기 채널  
층의 상면에 제 2 패턴 마스크를 이용하여 이온 스토퍼를 형성하는 단계; 및  
상기 이온 스토퍼의 하부에 언더 컷이 형성되도록 상기 금속 박막을 패터닝하는 단  
계에 의해 형성하는 것을 특징으로 하는 디스플레이 팩셀의 제조 방법.

#### 【청구항 11】

제 10 항에 있어서, 상기 제 1 신호선을 형성한 후,  
상기 절연막의 전면적에 걸쳐 불순물을 고농도 이온 주입하는 단계;  
상기 이온 스토퍼를 스트립 하는 단계; 및

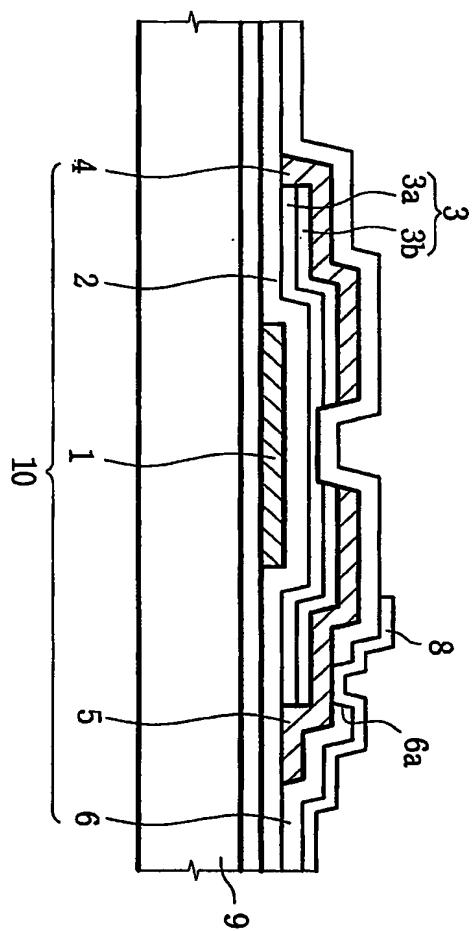
상기 절연막의 전면적에 걸쳐 불순물을 저농도 이온 주입하는 단계를 더 포함하는 것을 특징으로 하는 디스플레이 팩셀의 제조 방법.

【청구항 12】

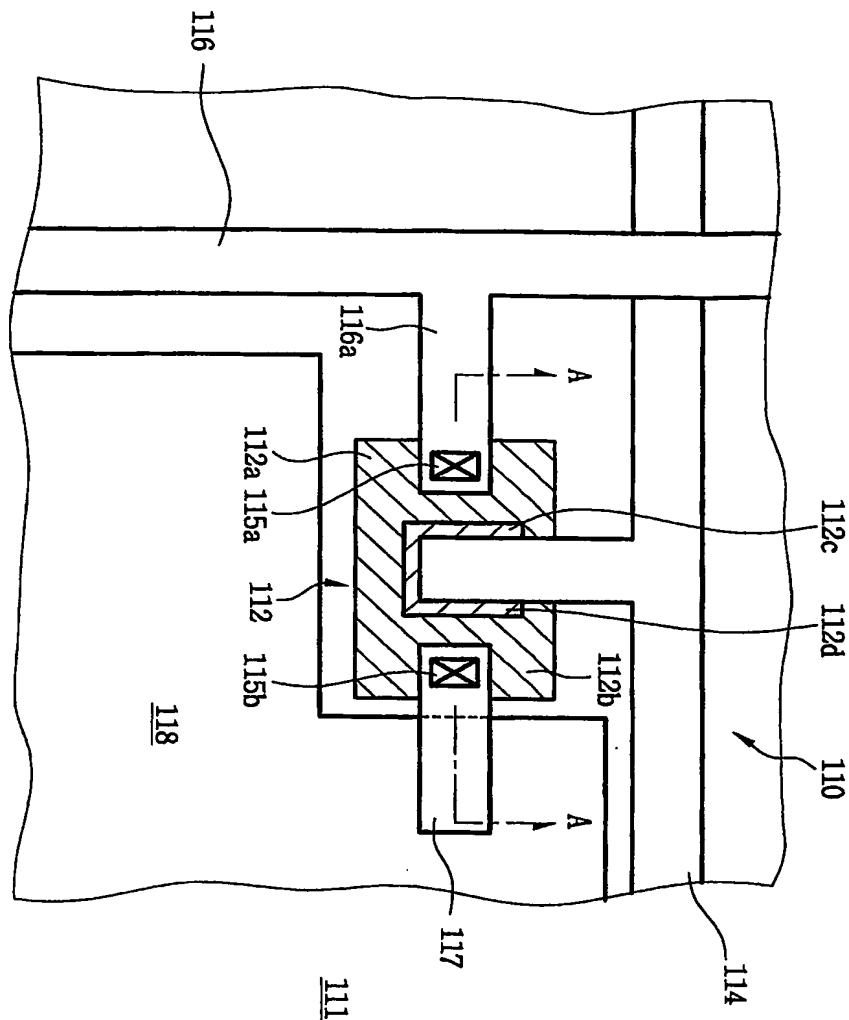
제 6 항에 있어서, 상기 화소 전극은 상기 층간 절연막의 전면적에 걸쳐 인듐 아연 산화막(Indium Zinc Oxide)을 증착하여 형성하는 것을 특징으로 하는 디스플레이 팩셀의 제조 방법.

## 【도면】

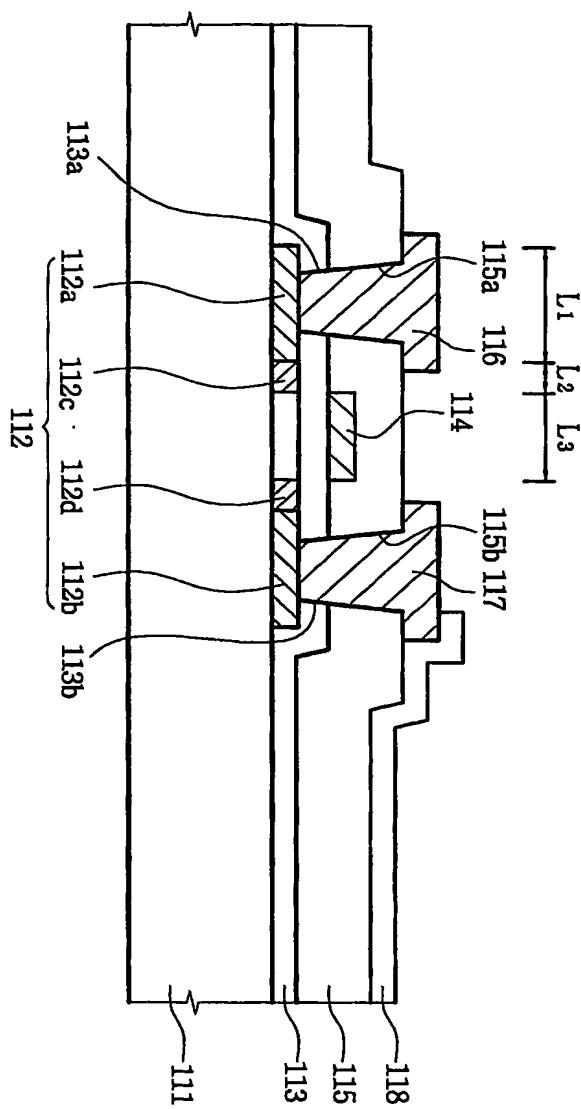
【도 1】



【도 2】



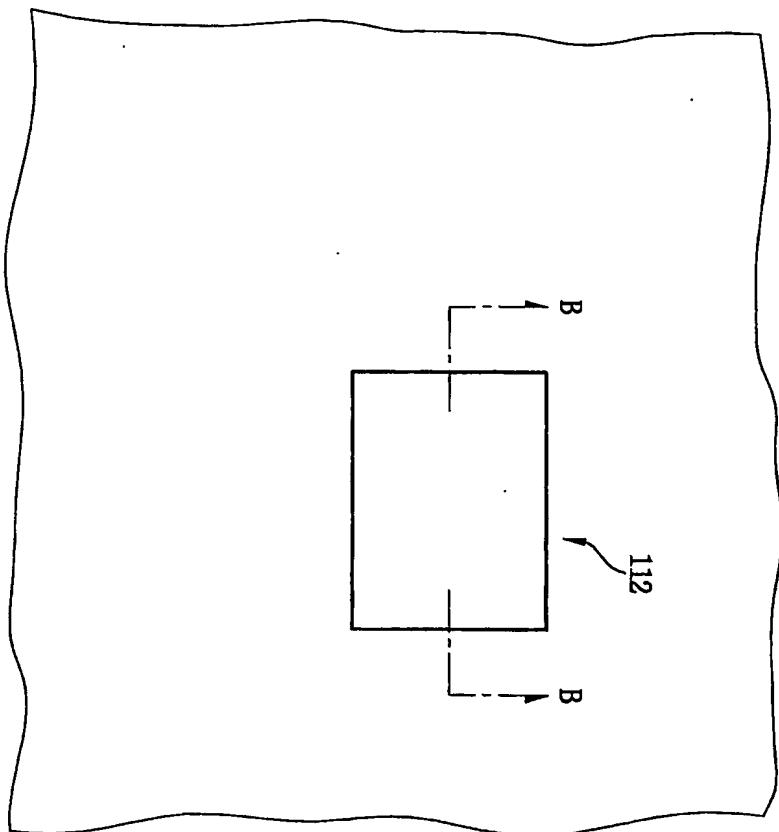
【도 3】



1020030003890

출력 일자: 2003/2/7

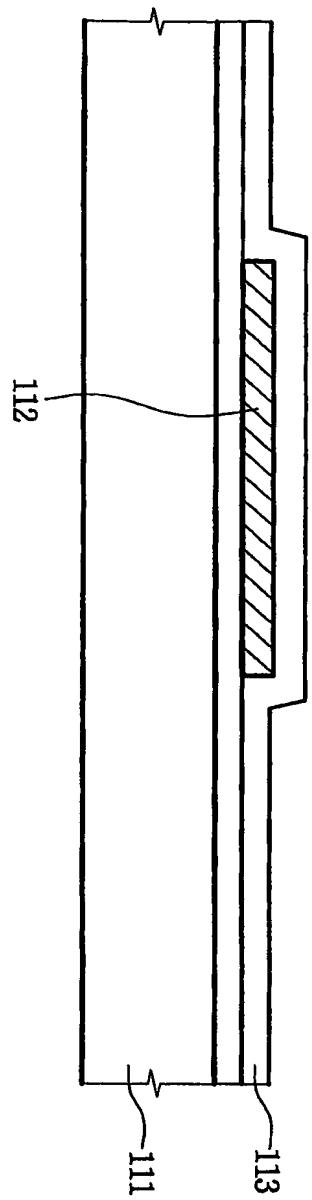
【도 4】



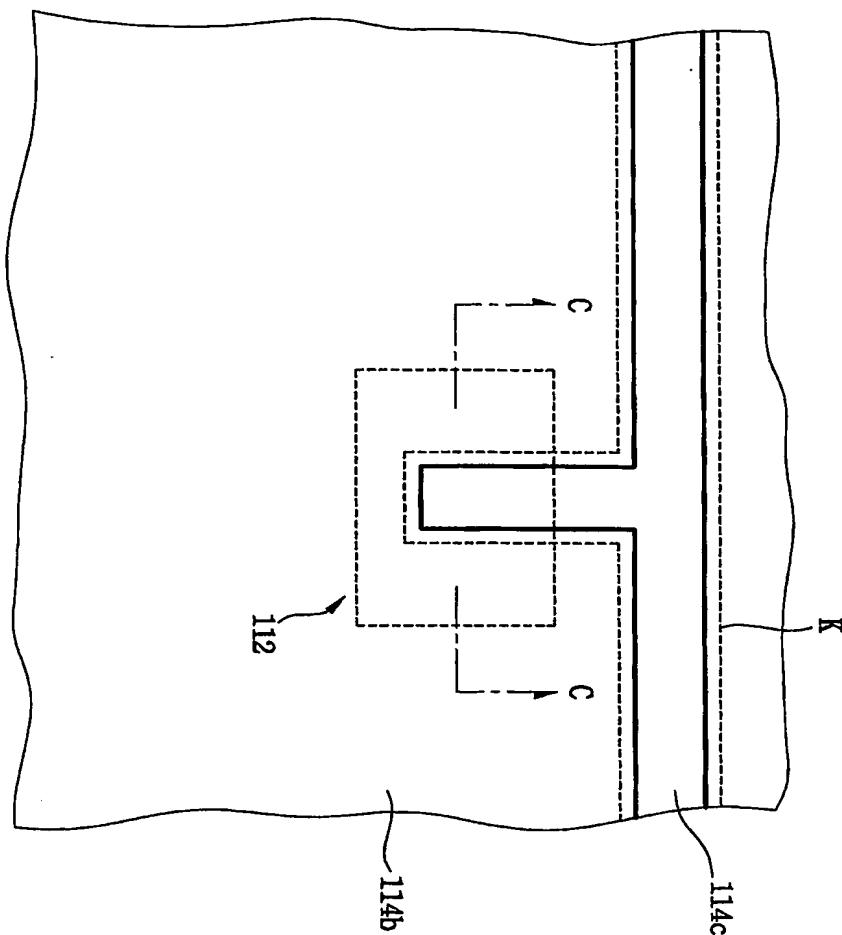
1020030003890

출력 일자: 2003/2/7

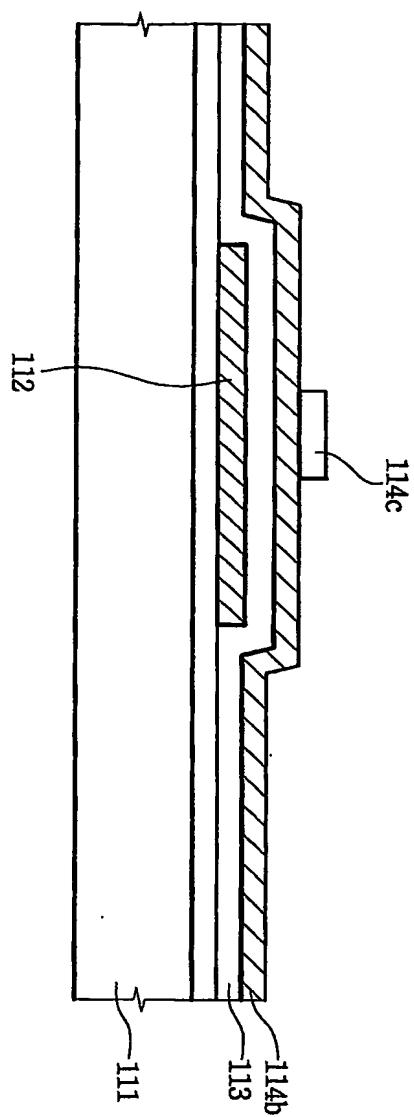
【도 5】



【도 6】

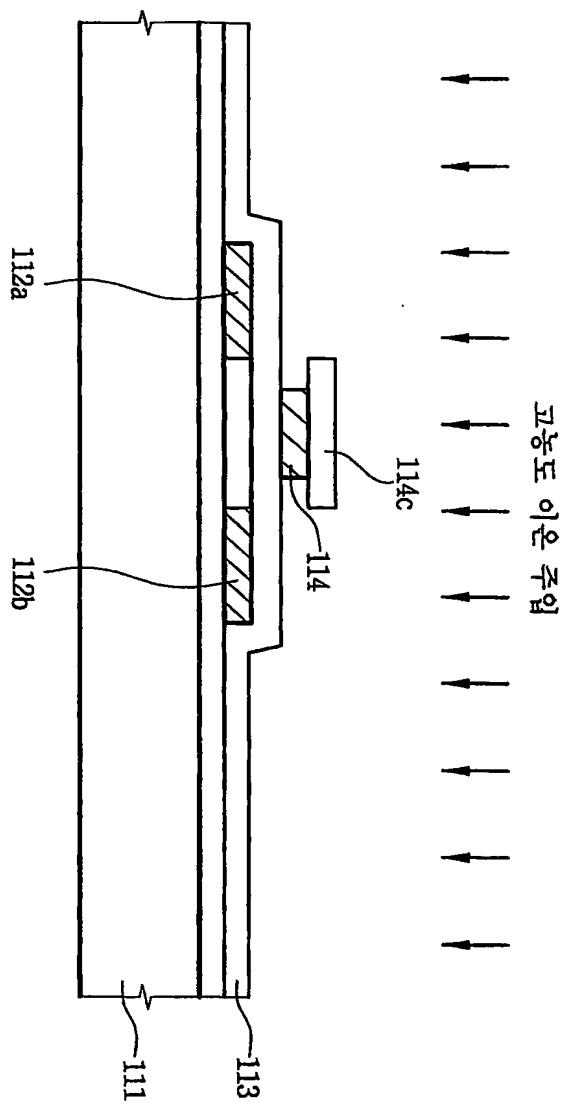


【도 7】

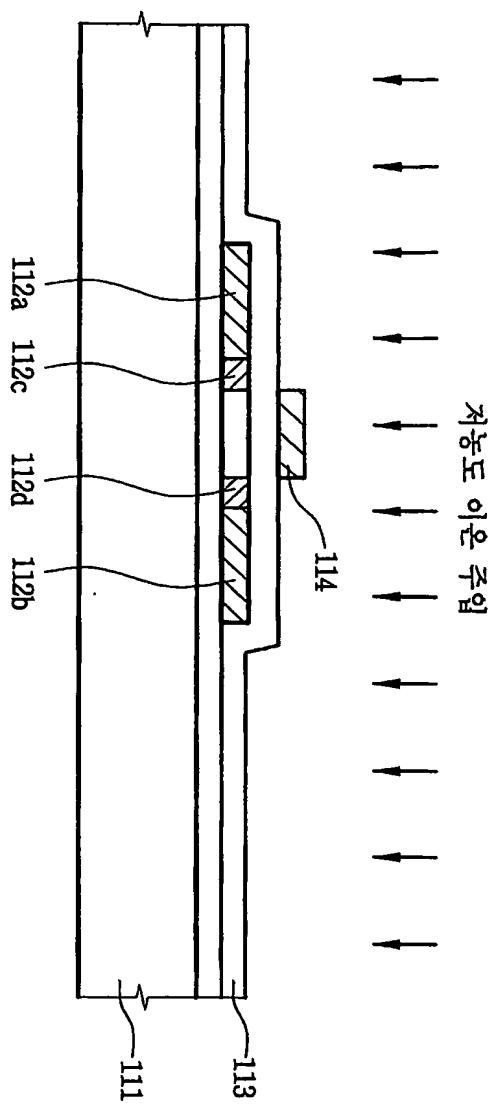


c

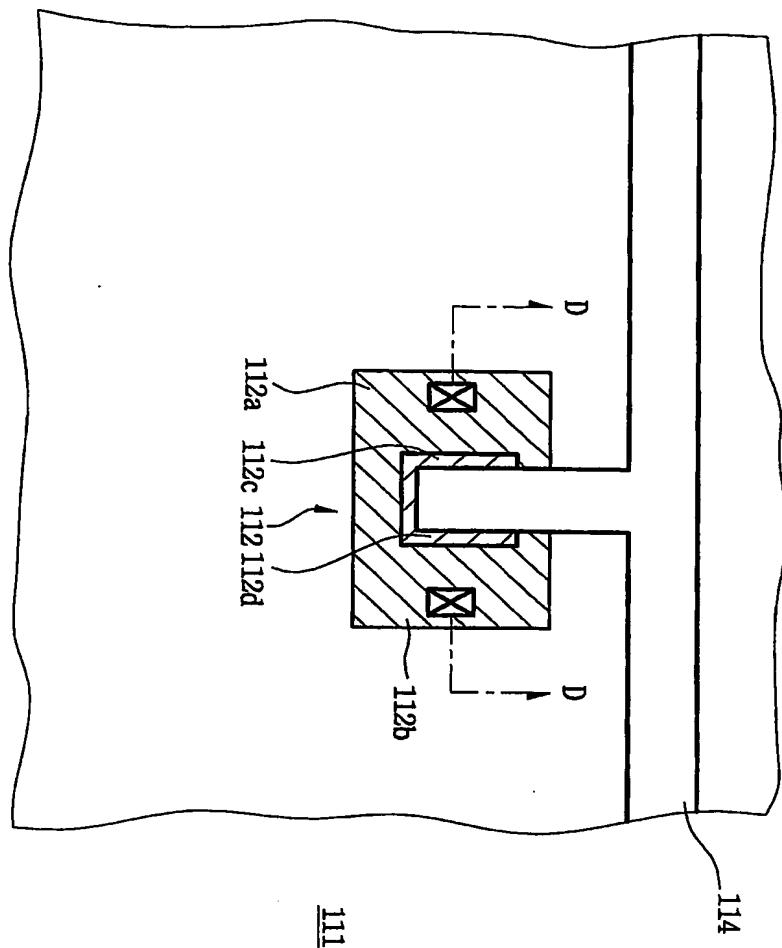
【도 8】



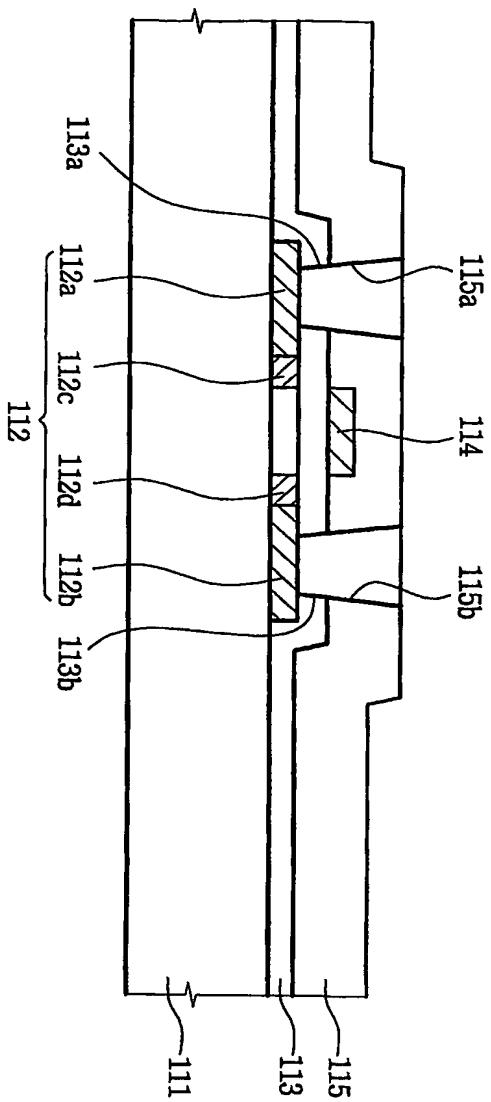
【도 9】



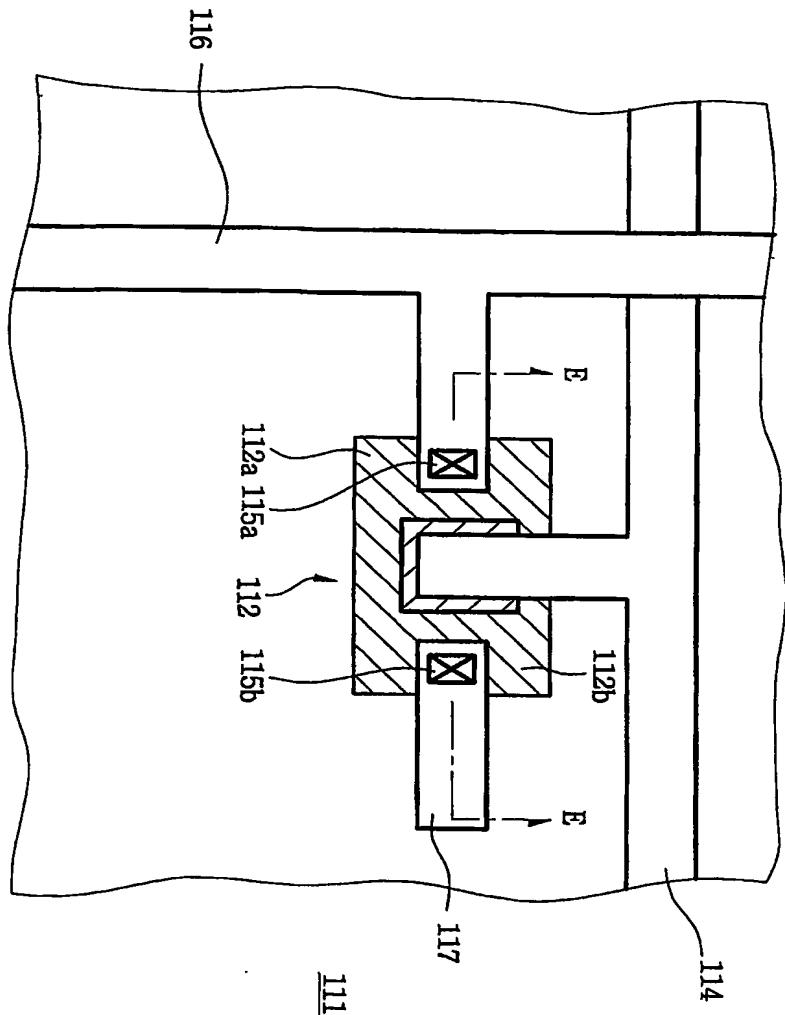
【도 10】



【도 11】



【도 12】



【도 13】

